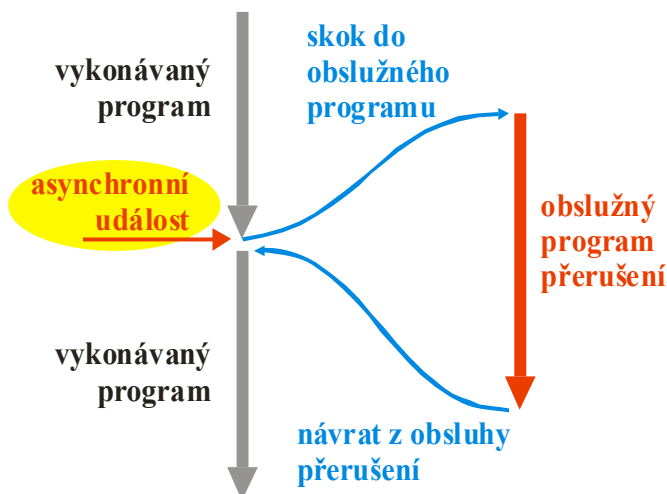


# Přerušovací systém

## Přerušení

- Při výskytu určité události procesor přeruší vykonávání „hlavního“ programu a začne vykonávat obslužnou proceduru pro danou událost.
- Po dokončení obslužné procedury pokračuje výpočet „hlavního“ programu.



## Typy přerušení

- Vnější přerušení
  - Událost nastane mimo procesor (např. ve V/V řadiči).
  - Indikace vzniku události je do procesoru zavedena speciálním přerušovacím signálem.
- Vnitřní přerušení
  - Událost nastane přímo v procesoru (dělení nulou, trap, výpadek stránky, programové přerušení, činností vestavěných periférií, ... ).

### Maskovatelná a nemaskovatelná přerušení:

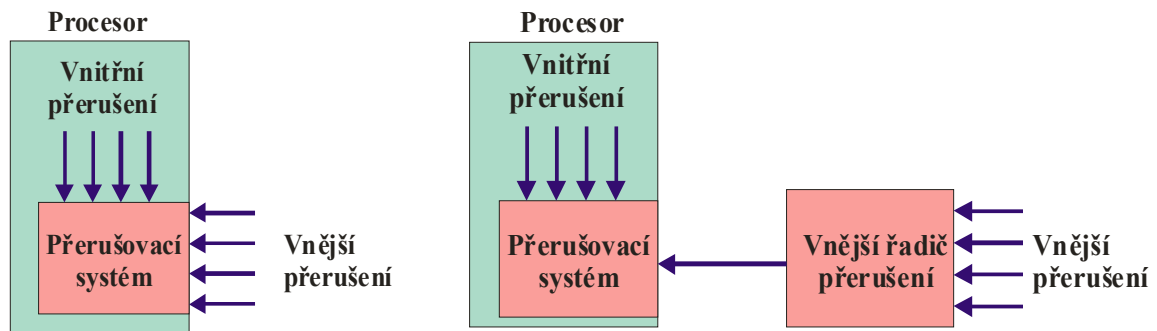
- **Maskovatelná přerušení:** Lze je programově (nastavením určitého registru v CPU resp. speciální instrukcí) povolit nebo zakázat.
- **Nemaskovatelná přerušení:** Nelze je zakázat, tj. jsou vždy povolena.

## Požadavky na přerušovací systém

1. Globální povolení nebo zákaz všech přerušení (kromě NMI).
2. Selektivní povolování/zákaz jednotlivých přerušení.
3. Prioritní systém – povolení pouze přerušení s určitou prioritou.
4. Prioritní systém – při současném vzniku více přerušení se nejprve obslouží přerušení s nejvyšší prioritou.
5. Vazba každého přerušení na příslušný obslužný program.
6. Možnost vnořených přerušení.

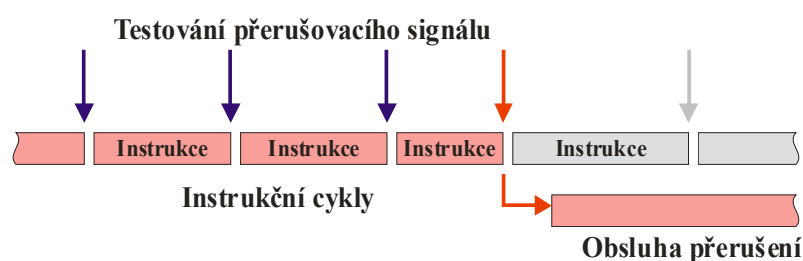
## Řadič přerušení

- Řadič vnějších přerušení může být kompletně vestavěn v procesoru (např. H8S),
- nebo může být připojen jako samostatný obvod (k přerušovacímu systému procesoru).



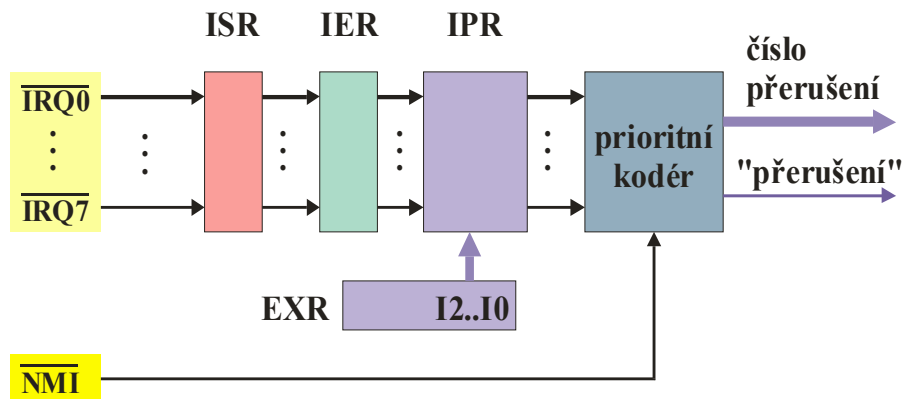
## Uplatnění přerušení

- Aktivita požadavku na přerušení se testuje vždy po dokončení instrukce.
  - Není-li požadavek na přerušení aktivní, pokračuje procesor další instrukcí.
  - Je-li požadavek na přerušení aktivní (a přerušení jsou povolena), zahájí se operace pro jeho obsluhu.
- Ve speciálních případech (výpadek stránky, porušení ochrany paměti – ne u H8S) může přerušení nastat i v průběhu provádění instrukce.



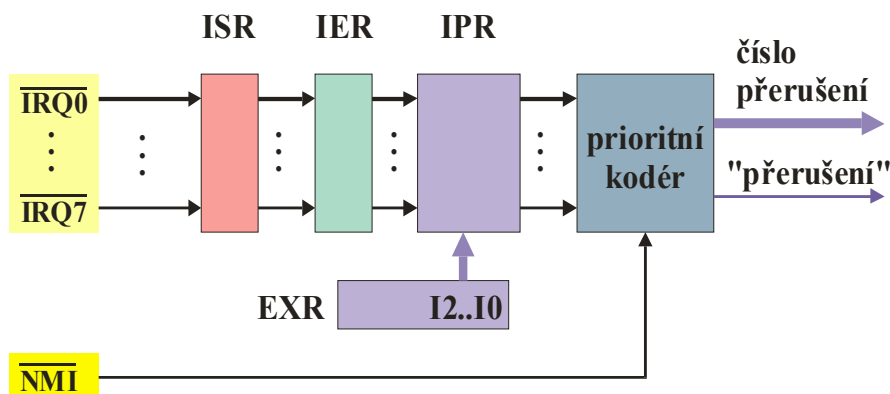
## Přerušovací systém procesoru H8S (1)

- Několik desítek vnitřních přerušení (*nebudeme je dále uvažovat*).
- 8 vnějších přerušení (/IRQ7 - /IRQ0).
- Nemaskovatelné přerušení (/NMI).



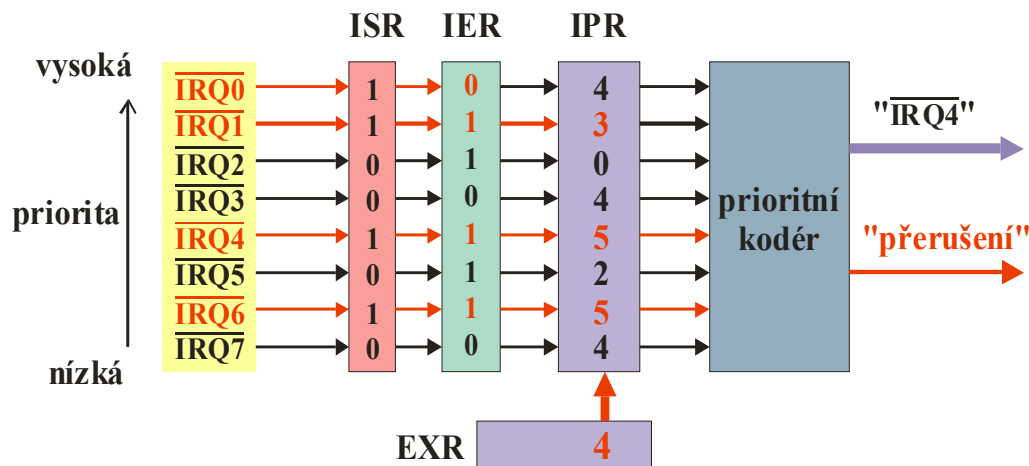
## Použití registrů přerušovacího systému

- **ISR** – Nastavuje se automaticky, ale lze jej modifikovat i programově.
- **IER** – Nastavuje se programově podle potřeby.
- **IPR** – Nastavuje se programově podle potřeby.
- **EXR** – Nastavuje se programově, při obsluze přerušení se modifikuje automaticky.



## Přerušovací systém procesoru H8S (2)

- **ISR** – registr aktivních žádostí o přerušení.
- **IER** – Povolení jednotlivých přerušení (1 = povoleno, 0 = zakázáno).
- **IPR** – Priorita přerušení (0 = nízká, 7 = vysoká).
- **EXR** – Bity **I2..I0** indikují úroveň povolených přerušení (musí být  $IPR > EXR$ , tj. při  $EXR = 7$  jsou přerušení zakázána).

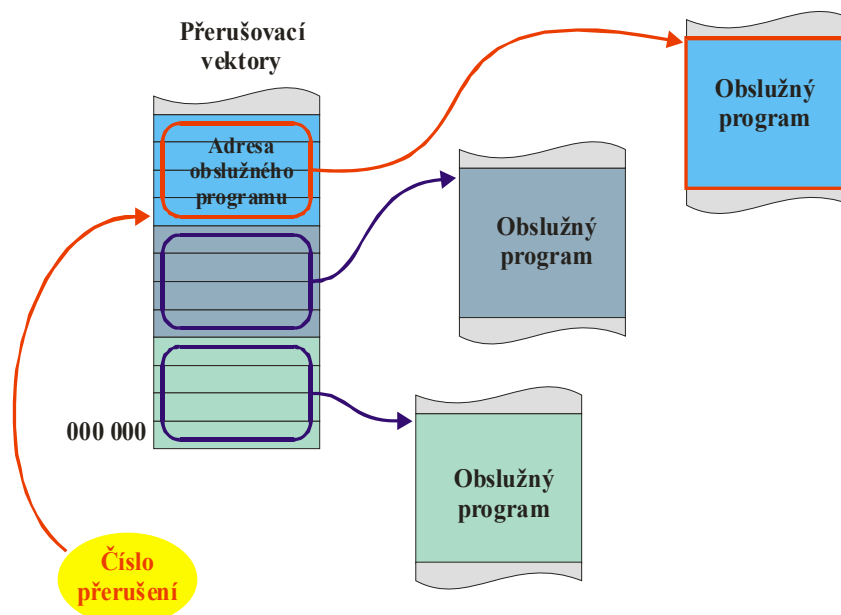


K.D. - přednášky POT

9

## Určení adresy obslužného programu (H8S)

- Na začátku paměti je tabulka s adresami obslužných programů.
- Každé přerušení má pevně přidělenou určitou položku v tabulce.



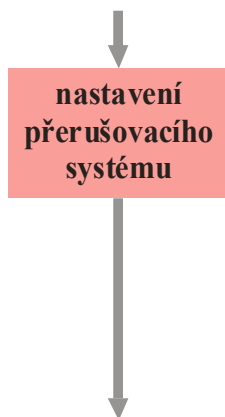
K.D. - přednášky POT

10

## Obsluha přerušení (H8S) (1)

### 1. Inicializace přerušovacího systému

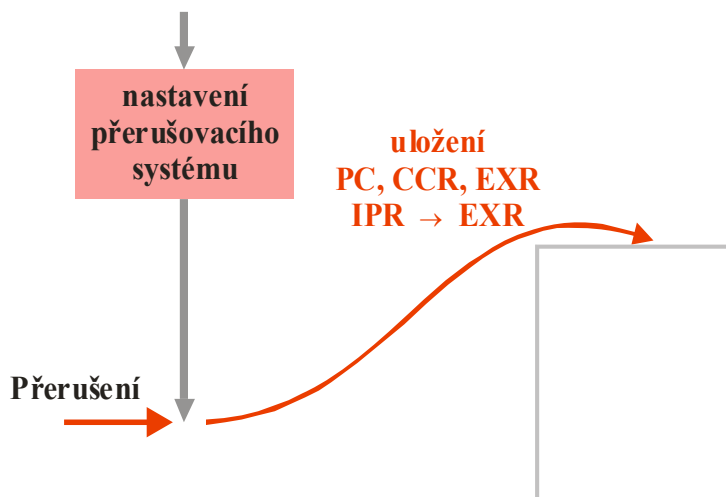
- nastavení periferních radičů,
- nastavení priorit,
- povolení přerušení.



## Obsluha přerušení (H8S) (2)

### 2. **Hardwarově** provedené operace při vzniku přerušení:

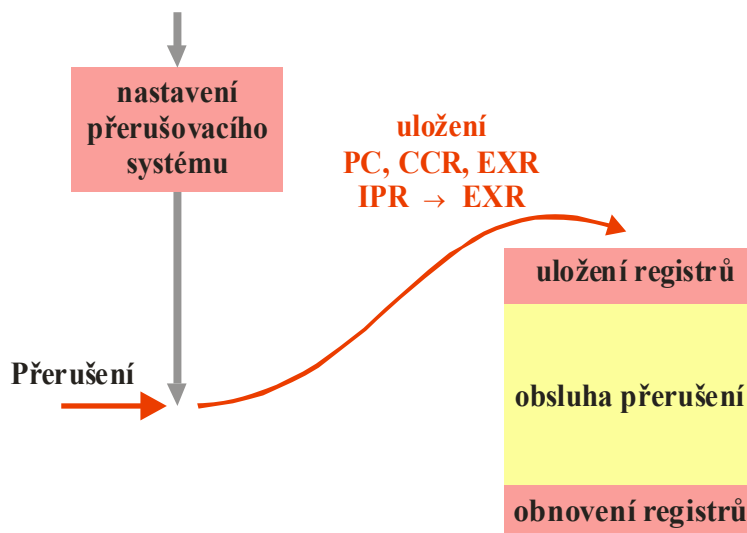
- uložení PC, CCR a EXR do zásobníku,
- nastaví se IPR → EXR,
- přečte se příslušný přerušovací vektor z paměti a podle něj se nastaví PC.



## Obsluha přerušení (H8S) (3)

### 3. **Softwarově** provedené operace v obslužné proceduře přerušení:

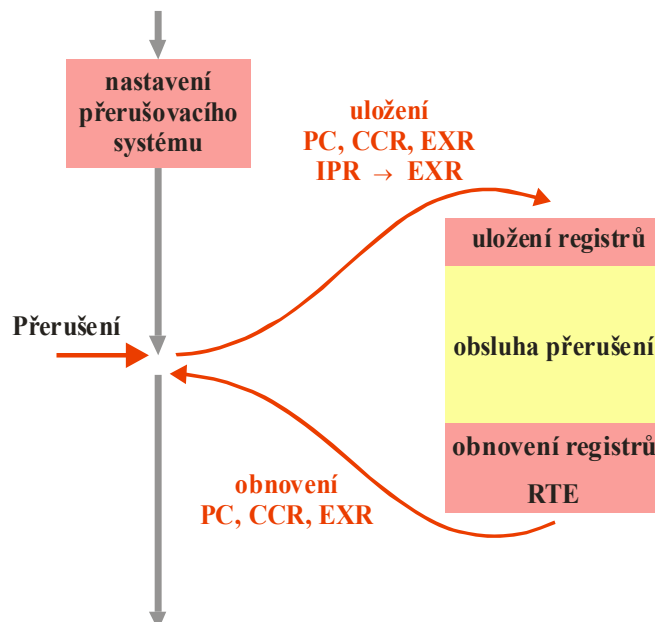
- uložení používaných registrů do zásobníku,
- obsluha přerušení (obsluha V/V řadiče, ... ),
- obnovení obsahu uložených registrů.



## Obsluha přerušení (H8S) (4)

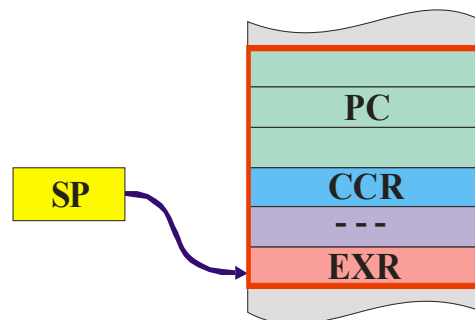
### 4. Provedení instrukce RTE na konci obslužného programu:

- ze zásobníku se postupně vybere a obnoví původní stav EXR, CCR, PC (provede se **hardwarově**).



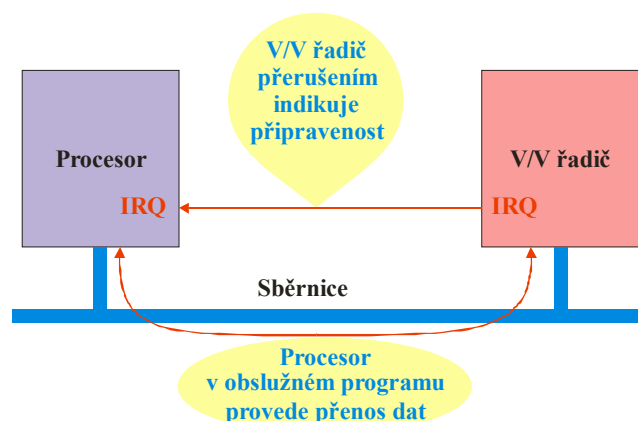
## Obsah zásobníku při obsluze přerušení (H8S)

- Do zásobníku se při obsluze přerušení hardwarově uloží:
  - PC (3 byte),
  - CCR (1 byte),
  - EXR (1 byte, 1 byte zásobníku je nevyužit).
- V obslužné proceduře se na začátku programově ukládají (a na konci obnovují) používané registry.



## Použití přerušení k řízení V/V operací

- Přerušení lze použít k řízení V/V operací:
  - Řadič V/V zařízení musí být navržen tak, aby indikoval připravenost speciálním signálem, který se zavede na přerušovací vstup procesoru.
  - Připravenost V/V systému k přenosu způsobí přerušení.
  - V obslužné proceduře se provede zápis/čtení dat do/z V/V řadiče.



## Použití přerušení k řízení V/V operací

- Charakteristiky V/V systému s přerušením:
  - Procesor nemusí periodicky testovat stav V/V systému (může provádět jiný výpočet).
  - Maximální rychlost přenosu je omezena především rychlostí reakce na přerušovací signál (vyžaduje řadu operací).

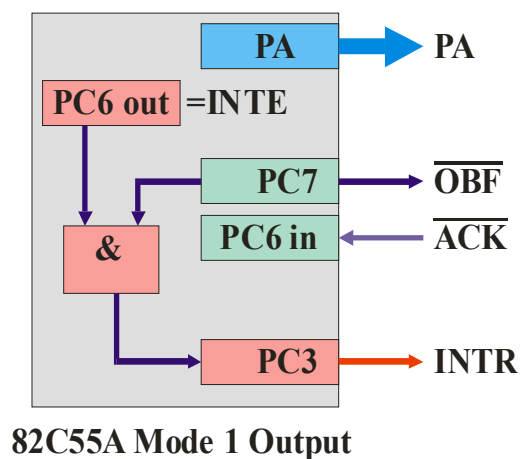


V/V systém s přerušeními je vhodný především pro pomalé přenosy „znak\_po\_znaku“.

## Příklad použití přerušení

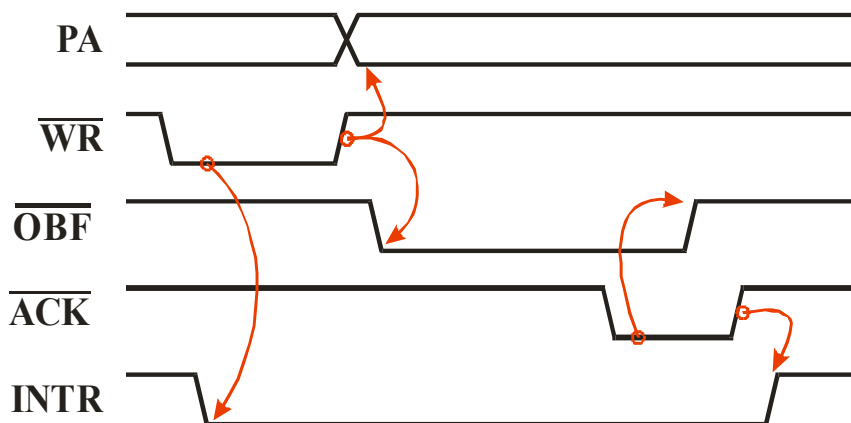
Přenos dat přes rozhraní Centronics s použitím obvodu 82C55A a s přerušením.

- Obvod 82C55A v Mode 1 (Port A):

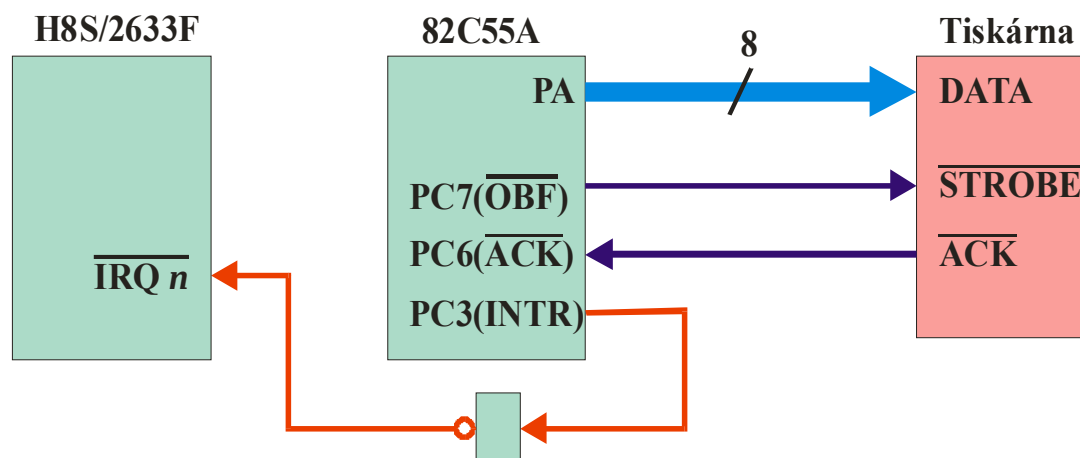


## Časování 82C55A v Mode 1

- $\overline{WR}$  = Zápis dat do Portu A (signál na sběrnici),
- $\overline{OBF}$  = Output Buffer Full (připravenost dat pro V/V zařízení),
- $\overline{ACK}$  = Acknowledge (potvrzení převzetí dat V/V zařízením),
- $INTR$  = Interrupt Request (požadavek na obsluhu procesorem).

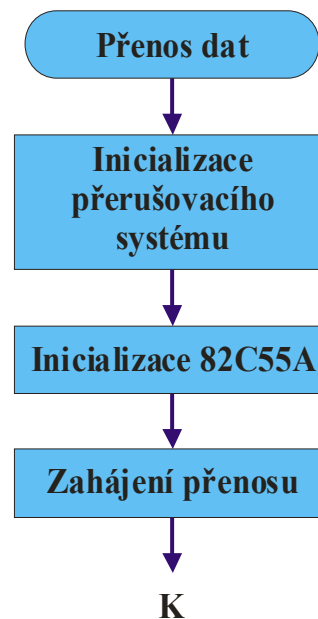


## Rozhraní Centronics pomocí 82C55A



## Inicializace přenosu

- Inicializace přerušovacího systému
  - nastavení přerušovacího vektoru,
  - nastavení priorit IPR a EXR,
  - nastavení typu /IRQ7 (hladinové).
- Inicializace 82C55A
  - nastavení směru přenosu Portu A,
  - nastavení Mode 1,
  - povolení přerušení v 82C55A.
- Zahájení přenosu
  - nastavení ukazatele na data,
  - povolení přerušení /IRQ7.



**Poznámka:** Pro přerušení použijeme vstup /IRQ7.

## Přerušovací vektory u H8S

Table 5-4 Interrupt Sources, Vector Addresses, and Interrupt Priorities

- Přerušovací vektory jsou umístěny na začátku paměti.
- Přerušení IRQ7 má číslo 23 (0x17).
- Vektor pro IRQ7 je na adrese **0x0000005C**.

| Interrupt Source                            | Origin of Interrupt Source | Vector Number | Vector Address* |            | Priority |
|---------------------------------------------|----------------------------|---------------|-----------------|------------|----------|
|                                             |                            |               | Advanced Mode   | IPR        |          |
| NMI                                         | External pin               | 7             | H'001C          |            | High     |
| IRQ0                                        |                            | 16            | H'0040          | IPRA6 to 4 |          |
| IRQ1                                        |                            | 17            | H'0044          | IPRA2 to 0 |          |
| IRQ2                                        |                            | 18            | H'0048          | IPRB6 to 4 |          |
| IRQ3                                        |                            | 19            | H'004C          |            |          |
| IRQ4                                        |                            | 20            | H'0050          | IPRB2 to 0 |          |
| IRQ5                                        | DTC                        | 21            | H'0054          |            |          |
| IRQ6                                        |                            | 22            | H'0058          | IPRC6 to 4 |          |
| IRQ7                                        |                            | 23            | H'005C          |            |          |
| SWDTEND (software activation interrupt end) |                            | 24            | H'0060          | IPRC2 to 0 |          |
| WOVI0 (interval timer)                      |                            | 25            | H'0064          | IPRD6 to 4 |          |
| CMI                                         |                            | 26            | H'0068          | IPRD2 to 0 |          |
| PC break                                    | PC break                   | 27            | H'006C          | IPRE6 to 4 |          |
| ADI (A/D conversion end)                    | A/D                        | 28            | H'0070          | IPRE2 to 0 |          |
| WOVI1 (interval timer)                      | Watchdog timer 1           | 29            | H'0074          |            |          |
| Reserved                                    | —                          | 30            | H'0078          |            |          |
|                                             |                            | 31            | H'007C          |            |          |

## Registry pro řízení přerušení H8S (1)

- Registry jsou mapovány do paměťového adresního prostoru.

Table 5-2 Interrupt Controller Registers

| Name                          | Abbreviation | R/W                 | Initial Value | Address* <sup>1</sup> |
|-------------------------------|--------------|---------------------|---------------|-----------------------|
| System control register       | SYSCR        | R/W                 | H'01          | H'FDE5                |
| IRQ sense control register H  | ISCRH        | R/W                 | H'00          | H'FE12                |
| IRQ sense control register L  | ISCRL        | R/W                 | H'00          | H'FE13                |
| IRQ enable register           | IER          | R/W                 | H'00          | H'FE14                |
| IRQ status register           | ISR          | R/(W)* <sup>2</sup> | H'00          | H'FE15                |
| Interrupt priority register A | IPRA         | R/W                 | H'77          | H'FEC0                |
| Interrupt priority register B | IPRB         | R/W                 | H'77          | H'FEC1                |
| Interrupt priority register C | IPRC         | R/W                 | H'77          | H'FEC2                |
| Interrupt priority register D | IPRD         | R/W                 | H'77          | H'FEC3                |
| Interrupt priority register E | IPRE         | R/W                 | H'77          | H'FEC4                |
| Interrupt priority register F | IPRF         | R/W                 | H'77          | H'FEC5                |
| Interrupt priority register G | IPRG         | R/W                 | H'77          | H'FEC6                |
| Interrupt priority register H | IPRH         | R/W                 | H'77          | H'FEC7                |
| Interrupt priority register I | IPRI         | R/W                 | H'77          | H'FEC8                |

K.D. - přednášky POT

3

## Registry pro řízení přerušení H8S (2)

- IPRC (Interrupt Priority Register C)

Table 5-3 Correspondence between Interrupt Sources and IPR Settings

| Register | Bits                  |                                 |
|----------|-----------------------|---------------------------------|
|          | 6 to 4                | 2 to 0                          |
| IPRA     | IRQ0                  | IRQ1                            |
| IPRB     | IRQ2<br>IRQ3          | IRQ4<br>IRQ5                    |
| IPRC     | IRQ6<br>IRQ7          | DTC                             |
| IPRD     | Watchdog timer 0      | Refresh timer                   |
| IPRE     | PC break              | A/D converter, watchdog timer 1 |
| IPRF     | TPU channel 0         | TPU channel 1                   |
| IPRG     | TPU channel 2         | TPU channel 3                   |
| IPRH     | TPU channel 4         | TPU channel 5                   |
| IPRI     | 8-bit timer channel 0 | 8-bit timer channel 1           |
| IPRJ     | DMAC                  | SCI channel 0                   |
| IPRK     | SCI channel 1         | SCI channel 2                   |
| IPRI     | 8-bit timer 2, 3      | IC (Option)                     |

K.D. - přednášky POT

24

## Registry pro řízení přerušení H8S (2)

- IPRC (Interrupt Priority Register C)

### 5.2.2 Interrupt Priority Registers A to L, O (IPRA to IPRL, IPRO)

|               |   |   |      |      |      |   |      |      |      |
|---------------|---|---|------|------|------|---|------|------|------|
| Bit           | : | 7 | 6    | 5    | 4    | 3 | 2    | 1    | 0    |
|               |   | — | IPR6 | IPR5 | IPR4 | — | IPR2 | IPR1 | IPR0 |
| Initial value | : | 0 | 1    | 1    | 1    | 0 | 1    | 1    | 1    |
| R/W           | : | — | R/W  | R/W  | R/W  | — | R/W  | R/W  | R/W  |

## Registry pro řízení přerušení H8S (3)

- IER (Interrupt Enable Register)

### 5.2.3 IRQ Enable Register (IER)

|               |   |       |       |       |       |       |       |       |       |
|---------------|---|-------|-------|-------|-------|-------|-------|-------|-------|
| Bit           | : | 7     | 6     | 5     | 4     | 3     | 2     | 1     | 0     |
|               |   | IRQ7E | IRQ6E | IRQ5E | IRQ4E | IRQ3E | IRQ2E | IRQ1E | IRQ0E |
| Initial value | : | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
| R/W           | : | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   | R/W   |

**Bits 7 to 0—IRQ7 to IRQ0 Enable (IRQ7E to IRQ0E):** These bits select whether IRQ7 to IRQ0 are enabled or disabled.

**Bit n**

| IRQnE | Description                              |
|-------|------------------------------------------|
| 0     | IRQn interrupts disabled (Initial value) |
| 1     | IRQn interrupts enabled                  |

(n = 7 to 0)

## Registry pro řízení přerušení H8S (4)

- ISCRH (Interrupt Sense Control Register H)

### 5.2.4 IRQ Sense Control Registers H and L (ISCRH, ISCRL)

#### ISCRH

|               |   |         |         |         |         |         |         |         |         |
|---------------|---|---------|---------|---------|---------|---------|---------|---------|---------|
| Bit           | : | 15      | 14      | 13      | 12      | 11      | 10      | 9       | 8       |
|               |   | IRQ7SCB | IRQ7SCA | IRQ6SCB | IRQ6SCA | IRQ5SCB | IRQ5SCA | IRQ4SCB | IRQ4SCA |
| Initial value | : | 0       | 0       | 0       | 0       | 0       | 0       | 0       | 0       |
| R/W           | : | R/W     | R/W     | R/W     | R/W     | R/W     | R/W     | R/W     | R/W     |

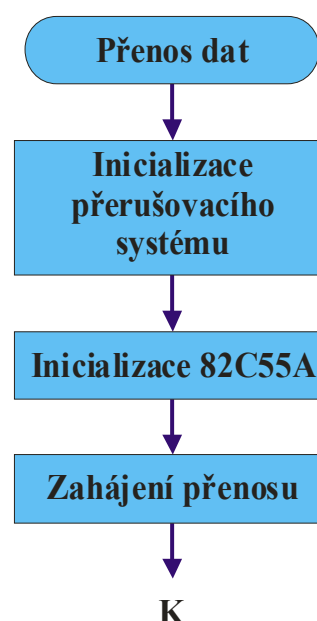
#### Bits 15 to 0

| IRQ7SCB to IRQ0SCB | IRQ7SCA to IRQ0SCA | Description                                                                        |
|--------------------|--------------------|------------------------------------------------------------------------------------|
| 0                  | 0                  | Interrupt request generated at IRQ7 to IRQ0 input low level (initial value)        |
|                    | 1                  | Interrupt request generated at falling edge of IRQ7 to IRQ0 input                  |
| 1                  | 0                  | Interrupt request generated at rising edge of IRQ7 to IRQ0 input                   |
|                    | 1                  | Interrupt request generated at both falling and rising edges of IRQ7 to IRQ0 input |

## Inicializace přenosu (1)

- Inicializace přerušovacího systému
  - nastavení přerušovacího vektoru,
  - nastavení priorit IPR a EXR,
  - nastavení typu /IRQ7 (hladinové).
- Inicializace 82C55A
  - nastavení směru přenosu Portu A,
  - nastavení Mode 1,
  - povolení přerušení v 82C55A.
- Zahájení přenosu
  - nastavení ukazatele na data,
  - povolení přerušení /IRQ7.

**Poznámka:** Pro přerušení použijeme vstup /IRQ7.



## Inicializace přenosu (2)

```
.equ    BASE55, 0x600000    ;bazova adresa 82C55A
.equ    PA55,    BASE55      ;Port A
.equ    PB55,    BASE55+1    ;Port B
.equ    PC55,    BASE55+2    ;Port C
.equ    CTRL55, BASE55+3     ;Ridici registr
...
TEXT:    .asciz „AH0J“ ;text pro tisk + 0x00
...
START:   JSR      @INIT_IRQ7  ;inicializace prerus.syst.
          JSR      @INIT55     ;inicializace 82C55A
          JSR      @OPEN_P     ;zahajeni prenosu
          ...
```

## Inicializace přenosu (3)

```
INIT_IRQ7: MOV.L    #SERV_7, ER0    ;prerusovaci vektor
            MOV.L    ER0, @0x0000005C ;na spravne misto
;
            MOV.B    @ISCRH, R0L     ;typ preruseni
            AND.B    #0x3F, R0L      ;[7..6]=00 -> hladinove
            MOV.B    R0L, @ISCRH     ;zapis
;
            MOV.B    @IPRC, R0L      ;priorita
            AND.B    #0x0F, R0L      ;nulovani [7..4]
            OR.B     #0x40, R0L      ;priorita IPR = 4
            MOV.B    R0L, @IPRC      ;zapis
;
            LDC.B    #0x03, EXR      ;priorita EXR = 3
            RTS
```

## Inicializace přenosu (4)

```

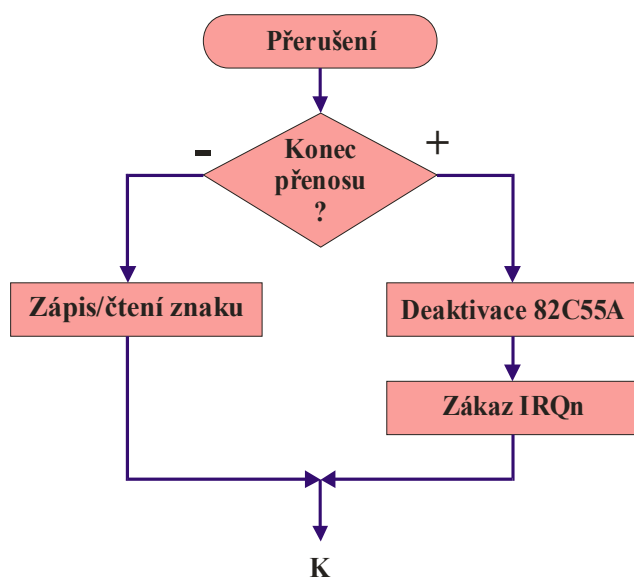
INIT55:  MOV.B    #0xAF, R0L    ;PA Output Mode 1
          MOV.B    R0L, @CTRL55 ;zapis do 82C55A
          MOV.B    #0x0D, R0L   ;1 -> PC6 (povol.int.)
          MOV.B    R0L, @CTRL55 ;zapis do 82C55A
          RTS

;
OPEN_P:  MOV.L    #TEXT, ER6    ;adresa textu do ER6
          MOV.B    @IER, R0L    ;povoleni IRQn
          OR.B     #0x80, R0L    ;IRQ7 povoleno
          MOV.B    R0L, @IER    ;zapis
          RTS

```

## Obsluha přerušení od 82C55A (1)

- Není-li konec přenosu:
  - zápis dalšího znaku,
  - posun pointeru.
- Na konci přenosu:
  - zákaz přerušení v 82C55A,
  - zákaz přerušení /IRQ<sub>n</sub> v CPU.



## Obsluha přerušení od 82C55A (2)

```

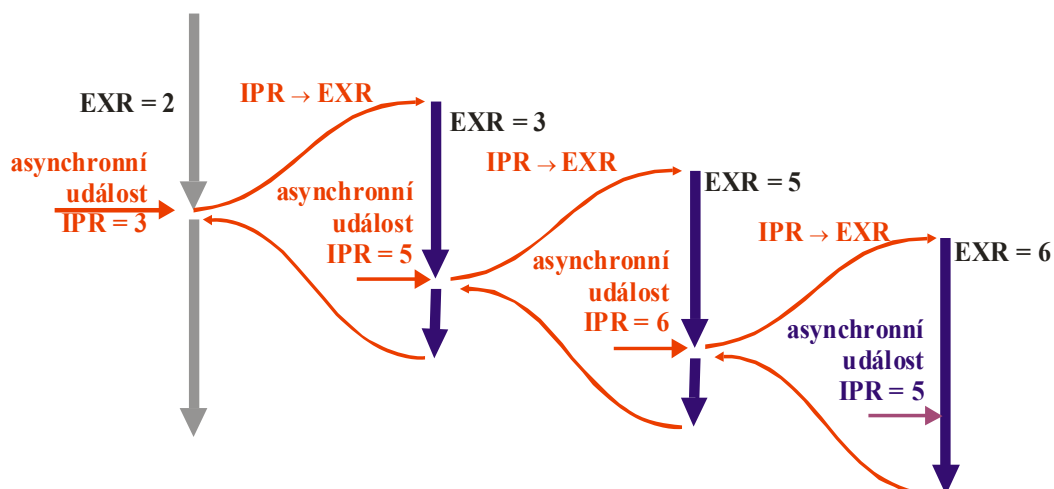
SERV_7:  PUSH      R0                ;ulození R0
         MOV.B     @ER6, R0L         ;dalsi znak
         BNE       LAB01            ;neni konec
;
         MOV.B     #0x0C, R0L        ;0 -> PC6 (zakaz.int.)
         MOV.B     R0L, @CTRL55      ;zapis do 82C55A
         MOV.B     @IER, R0L        ;povoleni/zakaz IRQn
         AND.B     #0x7F, R0L       ;IRQ7 zakazano
         MOV.B     R0L, @IER        ;zapis
;      Zde by měla být indikace konce přenosu operačnímu systému apod.
         BRA       LAB02            ;na konec
;
LAB01:   MOV.B     R0L, @PA55        ;zapis znaku do PA
         INC.L     ER6              ;posunuti pointeru
LAB02:   POP       R0              ;obnoveni R0
         RTE
         ;navrat

```

33

## Vnořená přerušení

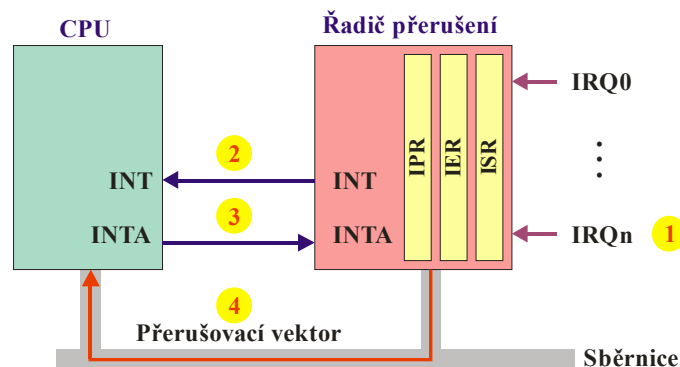
- Obslužný program přerušení je znovu přerušen
  - při akceptování přerušení se nastaví IPR → EXR, tj. další přerušení musí mít vyšší prioritu než právě obsluhované přerušení,
  - po dokončení obsluhy druhého přerušení pokračuje obsluha prvního přerušení.



34

## Vnější řadič přerušení

- Vnější řadič přerušení
  - obsahuje masky pro jednotlivá vnější přerušení,
  - řadí vnější přerušení podle priorit.
- Při aktivitě některého IRQ:
  1. Je aktivní IRQ<sub>n</sub>.
  2. Je-li IRQ<sub>n</sub> v řadiči povoleno, generuje řadič signál INT do procesoru.
  3. Jsou-li v procesoru povolena přerušení, vyšle procesor signál INTA (Interrupt Acknowledge).
  4. Řadič vyšle na sběrnici vektor s identifikací akceptovaného IRQ.



K.D. - přednášky POT

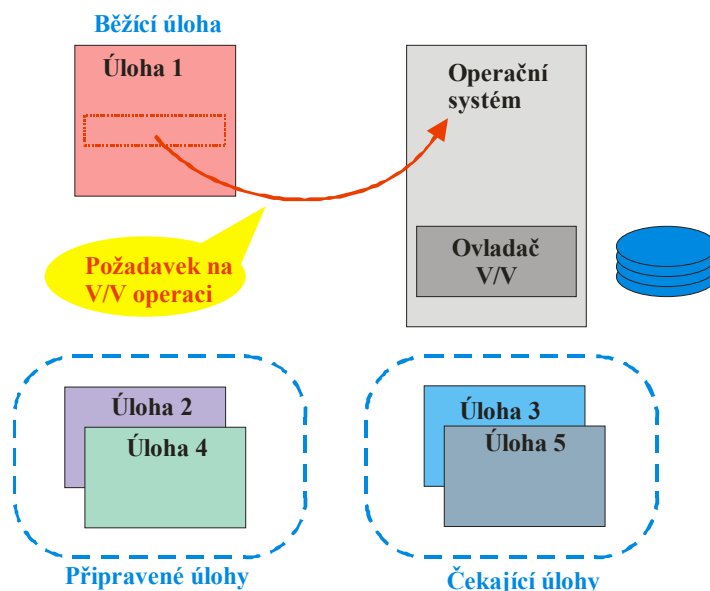
35

## V/V operace a úlohy v OS (1)

- V/V operace obvykle řídí ovladače, které jsou součástí OS.
- Úloha musí OS požádat o provedení V/V přenosu (**voláním služeb OS**).

**Čekající úlohy:** čekají na dokončení V/V operace (nebo na jinou událost).

**Připravené úlohy:** jsou schopné spuštění, čekají jen na procesor.

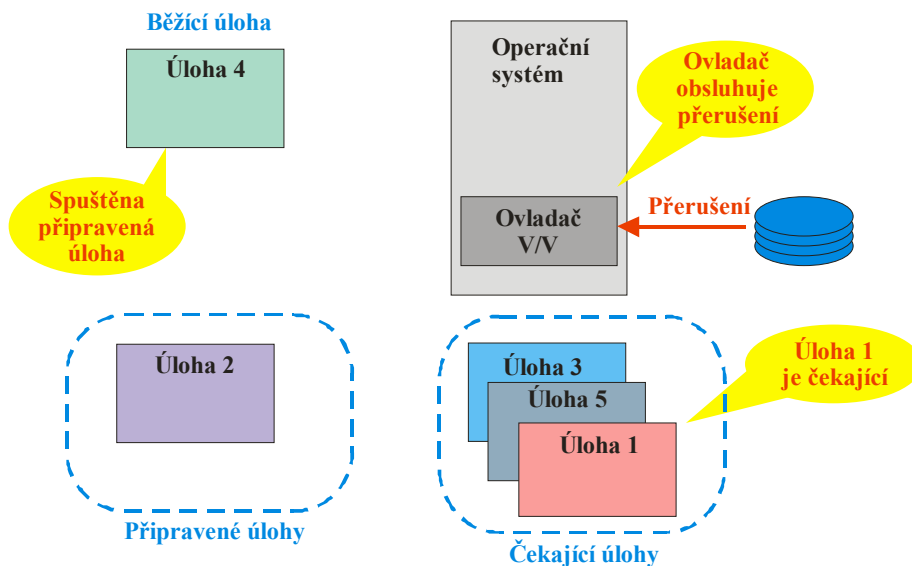


K.D. - přednášky POT

36

## V/V operace a úlohy v OS (2)

- Úloha, která čeká na dokončení V/V operace, je zařazena mezi čekající úlohy.
- OS spustí některou z připravených úloh.



## V/V operace a úlohy v OS (3)

- Po dokončení V/V operace zařadí OS úlohu mezi připravené.

